

19 OCT 2004



RECD 16 JUN 2003
WIPO PCT

**PRIORITY
DOCUMENT**

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

**Prioritätsbescheinigung über die Einreichung
einer Patentanmeldung**

Aktenzeichen: 102 17 567.5

Anmeldetag: 19. April 2002

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Halbleiterbauelement mit integrierter Kapazitätsstruktur und Verfahren zu dessen Herstellung

IPC: H 01 L 27/08

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 8. April 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Seitz

Ebert

Best Available Copy

Beschreibung

Halbleiterbauelement mit integrierter Kapazitätsstruktur und Verfahren zu dessen Herstellung

5

Die vorliegende Erfindung betrifft ein Halbleiterbauelement mit einem Halbleitersubstrat auf dem eine Isolationsschicht ausgebildet ist, wobei in der Isolationsschicht eine Kapazitätsstruktur ausgebildet ist. Des weiteren betrifft die Er-
10 findung ein Verfahren zu dessen Herstellung.

In den meisten analogen Schaltungsteilen gemischt digital-analoger Schaltungen werden Kondensatoren mit hohem Kapazitätswert, großer Linearität und hoher Güte benötigt. Um die Kosten der Herstellung des Bauelements möglichst gering zu halten, ist es erforderlich, dass die Herstellung der Kapazitätsstrukturen möglichst wenig Prozessschritte erfordert. Des Weiteren ist mit der fortschreitenden Miniaturisierung der Bauelemente und integrierten Schaltungen auch die Forderung nach möglichst wenig Flächenbedarf für die Kapazitätsstruktur einhergehend. Eine im Stand der Technik bekannte Kapazitätsstruktur ist aus der Patentschrift DE 198 50 915 C1 bekannt. Eine als sogenannte Sandwich-Kapazität ausgebildete Struktur weist zwei auf einem Halbleitersubstrat aufgebrachte und durch eine dielektrische Schicht voneinander getrennte leitende Beläge auf. Der auf der dielektrischen Schicht aufliegende obere Belag ist über mindestens eine leitende Luftbrücke mit mindestens einem von zwei Anschlussleitern der Kapazität verbunden. Parasitäre Induktivitäten der Kapazität werden weitgehend dadurch kompensiert, dass die beiden Anschlussleiter durch mindestens eine, die Kapazität überbrückende, hochohmige Leitung miteinander verbunden sind.

Aus der Patentschrift US 5,583,359 ist eine Kapazitätsstruktur für einen integrierten Schaltkreis bekannt. Dort wird eine Mehrzahl an Metallplatten, welche die Elektroden eines Stapelkondensators bilden, durch dielektrische Schichten ge-

trennt, übereinander angeordnet. In jeder Ebene einer Metallplatte ist eine von der jeweiligen Platte isolierte Metalleitung angeordnet. Die Metalleitungen sind jeweils von beiden Seiten mit Via-Verbindungen kontaktiert, wodurch zum einen alle ungeradzahlig und zum anderen alle geradzahlig in dem Stapel positionierten Platten elektrisch miteinander verbunden werden. Indem die geradzahlig positionierten Platten an eine erste Anschlussleitung und die ungeradzahlig positionierten Platten an eine zweite Anschlussleitung angelegt werden, weisen benachbarte Platten unterschiedliches Potenzial auf und bilden jeweils paarweise Elektroden eines Plattenkondensators. Die Kapazitätsoberfläche wird somit durch die Plattenoberflächen gebildet. Eine alternative Ausführung der Elektroden ist dadurch gegeben, dass die Platten als streifenförmige Leitungen, die parallel zueinander angeordnet sind, ausgebildet sind.

Eine ähnliche Ausbildung einer Kapazitätsstruktur ist aus der Patentschrift US 5,208,725 bekannt. Auf einem Halbleitersubstrat wird eine Mehrzahl erster streifenförmig ausgebildeter Leitungen parallel zueinander angeordnet. Durch eine dielektrische Schicht getrennt, wird deckungsgleich auf diese ersten Leitungen eine Mehrzahl an zweiten Leitungen angeordnet. Indem vertikal und lateral benachbarte Leitungen auf verschiedenem Potenzial liegen, werden sowohl Kapazitäten zwischen übereinander liegenden Leitungen als auch Kapazitäten zwischen benachbarten Leitungen in einer Ebene erzeugt.

Eine weitere Kapazitätsstruktur ist in Aparicio, R. und Hajimiri, A.: Capacity Limits and Matching Properties of Lateral Flux Integrated Capacitors; IEEE Custom Integrated Circuits Conference, San Diego May 6 - 9, 2001, bekannt. Senkrecht angeordnete Stabstrukturen werden symmetrisch zueinander angeordnet. Jeder der Stäbe wird aus Metallbereichen und Via-Bereichen, die abwechselnd aufeinander angeordnet sind aufgebaut. Die Metallflecken eines Stabes sind auf ein gemeinsames Potenzial gelegt. Metallflecken benachbarter Stäbe weisen un-

terschiedliches Potenzial auf. Die Via-Bereiche kontaktieren jeweils zwei benachbarte Metallbereiche eines Stabes. Die Kapazitätsdichte ist durch die minimale Größe der Metallbereiche in den Stäben begrenzt. Die Größe dieser Metallbereiche 5 ist jedoch deutlich größer als die Größer der Via-Bereiche in den Stäben, was daran liegt, dass an Masken für die Herstellung der Metallbereiche andere Anforderungen gestellt werden als an Masken mit denen die Via-Bereiche hergestellt werden. Aufgrund der erforderlichen Mindestgröße der Metallbereiche 10 weisen die Stäbe ebenfalls eine Mindestgröße auf, wodurch die Kapazitätsdichte in dieser Kapazitätsstruktur im Hinblick auf die Miniaturisierung der Bauelemente und der Reduzierung des benötigten Platzbedarfs der Kapazitätsstruktur beschränkt ist.

15

Ein Nachteil bei eigens einem Halbleiterbauelement prozes- sierten Kapazitätsstrukturen - wie dies in gegenwärtigen Pro- zessen oftmals der Fall ist -, ist deren aufwändige Herstel- lung. Insbesondere wenn eine derartige Kapazitätsstruktur als 20 Plattenkondensator aus zwei zusätzlichen Metallisierungslag- gen, welche in dem Bauelement oder der Schaltung keine weite- re Verwendung haben, ausgebildet ist, ist die Herstellung schwieriger und kostenintensiver. Weiterhin ist es besonders bei den Sandwich-Kapazitätsstrukturen nachteilig, dass sie die von ihnen auf dem Chip beanspruchte Fläche nur sehr ineffizient ausnutzen und gemessen an der benötigten Fläche einen relativ geringen Kapazitätswert zur Nutzkapazität liefern und damit zusammenhängend einen relativ hohen parasitären Kapazi- tätsanteil zum Halbleitersubstrat aufweisen. Aufgrund dieses 30 relativ hohen parasitären Kapazitätsanteils ist die Nutzkap- azität der Sandwich-Kapazitäten nur beschränkt zu vergrößern.

Es ist daher Aufgabe der vorliegenden Erfindung, ein Halblei- terbauelement mit einer integrierten Kapazitätsstruktur und 35 ein Verfahren zu dessen Herstellung zu schaffen, welches ein- fach erzeugt werden kann und mit dem das Verhältnis von Nutz- kapazität zu parasitärer Kapazität verbessert werden kann.

Diese Aufgabe wird durch ein Halbleiterbauelement, welches die Merkmale des Patentanspruchs 1 aufweist, sowie durch ein Verfahren das die Schritte nach Patentanspruch 17 aufweist,
5 gelöst.

Ein Halbleiterbauelement weist ein Halbleitersubstrat auf, auf dem ein Schichtensystem aus einer oder mehreren Isolationsschichten angeordnet ist. In dieser Isolationsschicht oder
10 in diesem Isolationsschichten-System ist eine Kapazitätsstruktur ausgebildet. Ein erster Teil einer Kapazitätssoberfläche der Kapazitätsstruktur wird durch Teile der Oberflächen von mindestens zwei Metallisierungsebenen gebildet. Die Metallisierungsebenen sind parallel zueinander und
15 parallel zum Halbleitersubstrat angeordnet und sind jeweils mit einer Anschlussleitung elektrisch verbunden.

Ein wesentlicher Gedanke der Erfindung liegt darin, dass die Kapazitätsstruktur mindestens einen elektrisch leitenden Bereich aufweist, welcher zwischen den Metallisierungsebenen angeordnet ist und in dem Isolationsschichten-System ausgebildet ist. Neben dem ersten Kapazitätssoberflächenbereich weist die Kapazitätsstruktur dadurch einen zweiten Kapazitätssoberflächenbereich auf, durch den die gesamte Kapazitätssoberfläche vergrößert ist. Dieser elektrisch leitende Bereich ist nur mit einer der Metallisierungsebenen elektrisch verbunden.

Dadurch kann eine Kapazitätsstruktur ausgebildet werden, die
30 mit relativ einfach hergestellt werden kann und des Weiteren das Verhältnis von Nutzkapazität der Kapazitätsstruktur zur parasitären Kapazität verbessert. Ein weiterer Vorteil ist dadurch gegeben, dass durch die Anordnung des elektrisch leitenden Bereichs der horizontale Flächenbedarf der gesamten
35 Kapazitätsstruktur nahezu nicht vergrößert wird und dadurch auch das Verhältnis von Nutzkapazität zu benötigter Chipfläche wesentlich verbessert wird.

Eine vorteilhafte Ausgestaltung der Erfindung sieht vor, den elektrisch leitenden Bereich als homogene, zusammenhängende Erhebung auszubilden. Besonders vorteilhaft ist es, wenn die 5 elektrisch leitenden Bereiche keine derartigen metallischen Gebiete aufweisen, die durch Strukturierung der Metallisierungsebenen erzeugt werden. Dadurch sind die elektrischen Bereiche ohne Zwischenmetallisierungsbereiche - die aus der Strukturierung der Metallisierungsebenen erzeugt werden - 10 ausgebildet. Insbesondere eine homogene Via-Struktur zeichnet sich als besonders vorteilhaft aus. Diese Struktur der Vias ermöglicht besonders im Vergleich zur bekannten Kapazitätsstruktur in Aparicio, R. und Hajimiri, A.: Capacitivy Limits and Matching Properties of Lateral Flux Integrated Capacitors; IEEE Custom Integrated Circuits Conference, San 15 Diego May 6 - 9, 2001, die Realisierung einer wesentlich kleineren Struktur als die dort offenbarte gestapelte Struktur aus Zwischenmetallisierungs- und Via-Bereichen. Besonders in einem sogenannten Dual-Damascene-Prozess können in einem 20 Prozessschritt homogene Vias ausgebildet werden, wodurch diese Strukturen mit hoher Dichte aneinander gereiht werden können und die Kapazitätsoberfläche der Elektroden bei nahezu gleichbleibendem horizontalen Flächenbedarf wesentlich vergrößert werden kann. Beim Dual-Damascene werden dabei nicht mehrere (übereinanderliegende) Vias gleichzeitig gefertigt, sondern jeweils gleichzeitig eine Via-Metall-Lage. Bei modernen Dual-Damascene-Prozessen werden Loch- bzw. Grabenstrukturen der zu fertigenden Vias und der Metallbahnen nacheinander geätzt und nachfolgend gleichzeitig mit einem Metall, bspw. 25 Kupfer, aufgefüllt. Die Strukturierung insbesondere der dielektrischen Schicht einer Kapazitätsstruktur, zur Erzeugung der Vias, welche komplett durch die dielektrische Schicht hindurchreichen, kann durch einen Lithographieschritt (Via-Lithographie) hergestellt werden. Durch einen nachfolgenden 30 Via-Ätzschritt wird die erwünschte Via-Struktur in die dielektrische Schicht geätzt. Im Vergleich zu Prozessen, bei denen die durch die dielektrische Schicht hindurchreichenden 35

Vias durch eine Via- und eine Metall-Masken-Ätzung (welche zur Erzeugung von Grabenbereichen für Metallbahnen verwendet wird) erzeugt werden, kann dadurch einerseits eine größerer Genauigkeit der Kapazität erreicht werden, da Ungenauigkeiten 5 in der Justage von Metall-Masken in diesem Fall die Ausbildung der Kapazität nicht beeinflussen. Des Weiteren ist es mit Metall-Masken, welche für Linienformen ausgelegt sind, nicht möglich gleichzeitig punktartige Strukturen zu erzeugen. Dies ist deshalb der Fall, da Masken, welche zur Erzeugung 10 punktartiger Strukturen ausgelegt sind, für die Lochebenen aufgrund der zweidimensionalen Beugungseffekte eine wesentlich höhere Belichtungsintensität benötigen, um eine entsprechende Struktur auszubilden, wodurch Lochmasken eine fest vorgegebene Lochgröße haben. Für die Erzeugung der punktartigen 15 Strukturen würde eine zusätzliche Miteinbeziehung von Metall-linienförmigen Löchern (Langlöchern) bedeuten, dass nur in einer Dimension minimale Abstände zur Erzeugung der Kapazität vorteilhaft genutzt werden können. Wie in der Erfindung vorteilhaft ausgeführt, können durch Vermeidung der Ausbildung 20 von Langlöchern ausschließlich Vias erzeugt werden, die in beiden Dimensionen minimale Abstände aufweisen und welche für alternierende Kondensatorflächen verwendet werden können.

Weiterhin ist es vorteilhaft, den elektrisch leitenden Bereich im wesentlichen senkrecht zu den Metallisierungsebenen anzuordnen. Dadurch kann die Oberfläche des elektrisch leitenden Bereichs möglichst groß gestaltet werden und dadurch ein möglichst großer Beitrag zur Nutzkapazität erzielt werden.

30 In einem bevorzugten Ausführungsbeispiel sind die beiden Metallisierungsebenen jeweils als homogene Platten ausgebildet. Jeder der beiden Platten ist mit zumindest einem elektrisch leitenden Bereich elektrisch verbunden. Es kann vorgesehen 35 sein, die elektrisch leitenden Bereiche als stabförmig auszubilden. Weiterhin kann vorgesehen sein, eine Mehrzahl an ersten stabförmig ausgebildeten Bereichen an der ersten Metal-

lisierungsebene anzuordnen, die sich in Richtung zur zweiten Metallisierungsebene hin erstrecken. Die Stäbe sind mit einem im wesentlichen festen Abstand zueinander an der ersten Metallisierungsebene angeordnet. Eine Mehrzahl an zweiten 5 stabförmig ausgebildeten Bereiche ist ebenfalls mit einem im wesentlichen festen Abstand zueinander an der zweiten Metallisierungsebene angeordnet. Vorteilhafter Weise erstrecken sich diese zweiten stabförmig ausgebildeten elektrisch leitenden Bereiche zwischen den ersten stabförmigen Bereichen in 10 Richtung zur ersten Metallisierungsebene. Die elektrisch leitenden Bereiche der beiden Metallisierungsebenen sind somit versetzt zueinander angeordnet, wodurch in vertikaler Richtung betrachtet stets ein erster elektrisch leitender, stabförmiger Bereich der Oberfläche der zweiten Metallisierungsebene gegenüberliegt und ein zweiter elektrisch leitender, stabförmiger Bereich der Oberfläche der zweiten Metallisierungsebene gegenüberliegt. 15

Besonders vorteilhaft ist es, die ersten stabförmigen Bereiche mit einer ersten Länge L_1 und die zweiten stabförmigen Bereiche mit einer Länge L_2 auszubilden, wobei die Summe der Längen L_1 und L_2 größer als der Abstand, den die beiden Metallisierungsebenen zueinander aufweisen, ist. Dadurch werden die ersten und die zweiten stabförmigen Bereiche quasi miteinander verzahnt. Dadurch stehen sich Bereiche der Seitenflächen der ersten stabförmigen Bereiche und Bereiche der Seitenfläche der zweiten stabförmigen Bereiche gegenüber, wodurch ein zusätzlicher Anteil zur gesamten Kapazitätsoberfläche erzeugt wird und die Nutzkapazität erhöht werden kann. 30

In einem weiteren vorteilhaften Ausführungsbeispiel weist die Kapazitätsstruktur zwei Metallisierungsebenen auf, die beide aus mehreren parallel zueinander angeordneten Leitungen bestehen. Die Leitungen, welche die erste Metallisierungsebene 35 bilden, sind deckungsgleich zu den Leitungen, welche die zweite Metallisierungsebene bilden, angeordnet. Es kann vorgesehen sein, auf jeder der Leitungen einen elektrisch lei-

tenden Bereich anzuordnen. Vorteilhaft ist es, die elektrisch leitenden Bereiche stabförmig auszubilden und so auf den Leitungen anzuordnen, dass sie sich jeweils in Richtung der dekungsgleich gegenüberliegenden Leitung der anderen Metallisierungsebene hin erstrecken. Bevorzugt ist es, auf jeder der ersten Leitungen jeweils im wesentlichen festen Abstand zueinander mehrere stabförmig ausgebildete elektrisch leitenden Bereich anzuordnen. Auf den zweiten Leitungen werden ebenfalls jeweils mehrere stabförmig ausgebildete Bereiche mit einem im wesentlichen festen Abstand zueinander angeordnet. Die stabförmigen Bereiche der zweiten Leitungen werden auch hier so angeordnet, dass sie sich zwischen den stabförmigen Bereichen der ersten Leitungen in Richtung zu den ersten Leitungen hin erstrecken. Ebenso kann auch in dieser Ausführung eine quasi verzahnte Struktur der ersten und zweiten stabförmigen Bereiche der ersten bzw. der zweiten Leitungen erreicht werden, wenn die Längenverhältnisse L_1 und L_2 entsprechend der oben erläuterten ersten Ausführung gewählt werden. Dadurch können die gleichen Vorteile erzielt werden.

Ein weitere bevorzugte Ausführungsform kennzeichnet sich durch zwei Metallisierungsebenen, von denen die erste als homogenen Platte und die zweite als gitterähnliche Struktur ausgebildet ist. Zumindest ein stabförmig ausgebildeter, elektrisch leitender Bereich ist auf der als homogene Platte ausgebildeten ersten Metallisierungsebene derart angebracht, dass er sich in Richtung der Gitterebene erstreckt. Besonders vorteilhaft ist es, wenn sich der stabförmige Bereich zumindest teilweise in eine der Aussparungen der Gitterstruktur der zweiten Metallisierungsebene hinein erstreckt. Dadurch kann die Kapazitätsoberfläche erhöht werden und der Anteil der Nutzkapazität vergrößert werden.

In einem weiteren Ausführungsbeispiel ist zusätzlich zu den beiden Metallisierungsebenen der vorhergehenden Ausführungsform eine dritte Metallisierungsebene vorhanden, welche ebenfalls in Form eines Gitters ausgeführt ist und parallel und

beabstandet zur ersten Gitterebene auf dieser angeordnet ist. Die beiden Gitterebenen sind mittels elektrischer Verbindungen miteinander kontaktiert. Der zumindest eine stabförmige elektrisch leitende Bereich ist derart ausgebildet, dass er 5 durch eine Aussparung der ersten Gitterebene hindurch ragt und sich zumindest teilweise in eine Aussparung der zweiten Gitterebene bzw. der dritten Metallisierungsebene hinein erstreckt. Dadurch kann eine weitere Vergrößerung der Kapazitätsoberfläche und der Nutzkapazität erreicht werden. Der 10 Flächenbedarf der Kapazitätsstruktur kann dabei nahezu gleich gehalten werden.

Ein weiterer Aspekt der Erfindung betrachtet ein Verfahren zum Herstellen eines Halbleiterbauelements mit einer integrierten Kapazitätsstruktur. Die Kapazitätsstruktur wird in 15 einer Isolationsschicht ausgebildet, wobei die Isolationsschicht auf einem Halbleitersubstrat abgeschieden wird. Ein wesentlicher Gedanke ist es, dass zwischen zumindest zwei Metallisierungsebenen, welche die Kapazitätsstruktur aufweist, 20 ein elektrisch leitender Bereich in der Isolationsschicht ausgebildet wird, der nur mit einer der beiden Metallisierungsebenen verbunden wird.

Vorteilhaft ist es, dass der elektrisch leitende Bereich als homogene zusammenhängende Erhebung ausgebildet wird, wobei der elektrisch leitende Bereich ohne ein derartiges metallisches Gebiet ausgebildet wird, welches durch eine Strukturierung einer Metallisierungsebene erzeugbar ist.

30 Besonders bevorzugt wird der elektrisch leitende Bereich als Via-Struktur ausgebildet.

Das Ausbilden des elektrisch leitenden Bereichs oder der elektrisch leitenden Bereiche als Via-Struktur kann derart 35 durchgeführt werden, dass das Ätzen der Löcher in die Isolationsschicht, aus denen durch nachfolgendes Auffüllen mit einem leitenden Material, bspw. Kupfer oder Wolfram, die Vias

erzeugt werden, durch einen Ätzschritt durchgeführt wird. In dem die Löcher ohne eine Kombination aus einem derartigen Ätzschritt und einen Ätzschritt zur Erzeugung von Metallbahnen - deren Bereiche vorab durch Metallmasken definiert werden - erzeugt werden, kann eine hohe Kapazitätsdichte der Kapazitätsstruktur erreicht werden.

Vorteilhafte Ausgestaltungen sind in den Unteransprüchen angegeben.

10

Anhand der folgenden schematischen Zeichnungen werden mehrerer Ausführungsbeispiele der Erfindung näher erläutert. Es zeigen:

15 Fig. 1 eine perspektivische Darstellung eines ersten Ausführungsbeispiels eines erfindungsgemäßen Halbleiterbauelements;

Fig. 2 eine erste Schnittdarstellung des Ausführungsbeispiels gemäß Fig. 1;

20 Fig. 3 eine zweite Schnittdarstellung des Ausführungsbeispiels gemäß Fig. 1

Fig. 4 eine dritte Schnittdarstellung des Ausführungsbeispiels gemäß Fig. 1;

Fig. 5 eine perspektivische Darstellung eines zweiten Ausführungsbeispiels des erfindungsgemäßen Halbleiterbauelements;

Fig. 6 eine erste Schnittdarstellung des zweiten Ausführungsbeispiels gemäß Fig. 5;

Fig. 7 eine zweite Schnittdarstellung des zweiten Ausführungsbeispiels gemäß Fig. 5;

30 Fig. 8 eine dritte Schnittdarstellung des zweiten Ausführungsbeispiels gemäß Fig. 5;

Fig. 9 eine vierte Schnittdarstellung des zweiten Ausführungsbeispiels gemäß Fig. 5;

35 Fig. 10 eine perspektivische Darstellung eines dritten Ausführungsbeispiels des erfindungsgemäßen Halbleiterbauelements;

Fig. 11 eine erste Schnittdarstellung des dritten Ausführungsbeispiels gemäß Fig. 10;

Fig. 12 eine zweite Schnittdarstellung des dritten Ausführungsbeispiels gemäß Fig. 10;

5 Fig. 13 eine perspektivische Darstellung eines vierten Ausführungsbeispiels des erfindungsgemäßen Halbleiterbauelements; und

Fig. 14 eine Schnittdarstellung des vierten Ausführungsbeispiels gemäß Fig. 13;

10

In einem ersten Ausführungsbeispiel weist ein erfindungsgemäßes Halbleiterbauelement (Fig. 1) ein nicht dargestelltes Halbleitersubstrat auf, auf dem eine nicht dargestellte Isolationsschicht aufgebracht ist. Die Isolationsschicht kann

15 auch aus mehreren Schichten bestehen. In dieser Isolationsschicht ist eine Kapazitätsstruktur K integriert. Die Kapazitätsstruktur K weist eine erste Metallisierungsebene 1 auf, die im Ausführungsbeispiel als homogenen Platte ausgeführt ist. Parallel dazu ist eine zweite Metallisierungsebene 2

20 ausgebildet, welche ebenfalls als homogene, zusammenhängende Platte ausgebildet ist. Die erste Metallisierungsebene 1 ist an eine nicht dargestellte erste Anschlussleitung und die zweite Metallisierungsebene ist an eine nicht dargestellte zweite Anschlussleitung angelegt, wodurch die beiden Metallisierungsebenen 1 und 2 unterschiedliches elektrisches Potenzial aufweisen und Elektroden bilden. Auf der ersten Platte 1 sind mehrere stabförmig ausgebildete, elektrisch leitende Bereiche 1a bis 1j senkrecht zur Platte 1 angeordnet. Die stabförmigen Bereiche 1a bis 1j sind unmittelbar mit der

30 Platte 1 elektrisch verbunden und als homogene, zusammenhängende Vias mit einer einheitlichen Länge L_1 ausgebildet. Die Stäbe 1a bis 1j sind in Richtung zur zweiten Metallisierungsebene 2 ausgerichtet und weisen keine elektrische Verbindung zu dieser auf.

35

In z-Richtung sind die Stäbe 1a und 1b, die Stäbe 1c, 1d und 1e, die Stäbe 1f und 1g sowie die Stäbe 1h, 1i und 1j jeweils

mit einem Abstand a zueinander angeordnet. Die Stäbe 1a, 1b, 1f und 1g sind darüber hinaus um jeweils $a/2$ in z-Richtung gegenüber den Stäben 1c, 1d, 1e, 1h, 1i und 1j verschoben, so dass in x-Richtung die Stäbe 1f und 1h, die Stäbe 1a und 1f, 5 die Stäbe 1d und 1i, die Stäbe 1b und 1g und die Stäbe 1e und 1j jeweils auf einer Linie liegen.

Ebenso sind an der Platte 2 zweite elektrisch leitende Bereiche 2a bis 2j als homogene Stäbe ausgebildet, die alle eine 10 Länge L_2 aufweisen. Die Stäbe 2a bis 2j werden ebenso mit dem Abstand a auf der Platte 2 angeordnet, werden jedoch derartig auf der Platte 2 positioniert, dass sie sich zwischen den Stäben 1a bis 1j in Richtung der ersten Metallisierungsebene 1 erstrecken. So liegen beispielsweise die Stäbe 2a, 2b und 15 2c an der gleichen x-Position wie die Stäbe 1a und 1b, sind jedoch in z-Richtung gegeneinander verschoben. Selbiges gilt für die anderen Stäbe 1c bis 1j und 2d bis 2j.

Die Längen L_1 und L_2 der Stäbe 1a bis 2j werden so gewählt, 20 dass sie kleiner sind als der Abstand b der beiden Metallisierungsebenen 1 und 2 zueinander aber die Summe von L_1 und L_2 größer als der Abstand b , den die Metallisierungsebenen 1 und 2 zueinander aufweisen, ist. Dadurch wird erreicht, dass sich Seitenflächenbereiche benachbarter Stäbe, beispielsweise von 1a und 2a, gegenüberliegen und aufgrund des unterschiedlichen elektrischen Potenzials, das diese benachbarten Stäbe aufweisen eine Kapazitätsoberfläche geschaffen wird, deren Kapazität einen Anteil zur Nutzkapazität beiträgt.

30 Es kann auch vorgesehen sein, dass die Stäbe 1a bis 1j und die Stäbe 2a bis 2j unterschiedliche Längen aufweisen. Wesentlich ist jedoch, dass die Summen der Längen von benachbarten Stäben der ersten und der zweiten Metallisierungsebene jeweils größer ist als der Abstand b der Metallisierungsebenen. 35 Somit ist gewährleistet, dass sich stets Oberflächenbereiche der Seitenflächen der Stäbe 1a bis 1j der ersten Metallisierungsebene 1 und Oberflächenbereiche der Seitenfläche

der jeweils benachbarten Stäbe 2a bis 2j der zweiten Metallisierungsebene 2 gegenüberliegen und dadurch eine Kapazitätsoberfläche geschaffen wird, die eine Beitrag zur Nutzkapazität liefert. In dem Ausführungsbeispiel weist die dem 5 Halbleitersubstrat fernere Platte 2 mit den Stäben 1a bis 1j eine minimale parasitäre Kapazität gegenüber dem Halbleitersubstrat auf.

In Fig. 2 ist ein Querschnitt entlang der Linie BB gemäß Fig. 10 1 dargestellt. Die Platten 1 und 2 weisen die Stäbe 1f und 1g bzw. 2f bis 2h auf, die jeweils den Abstand a zueinander aufweisen. In der Querschnittsdarstellung ist die quasi verzahnte Struktur der zueinander versetzten Stäbe 1f und 1g sowie der Stäbe 2f bis 2h zu erkennen. Erste Kapazitätsanteile C_1 als 15 Beitrag zur gesamten Nutzkapazität der Kapazitätsstruktur K (Fig. 1) werden jeweils zwischen den homogenen, als Via-Strukturen ausgebildeten Stäben 1f, 1g und 2f bis 2h erzeugt. Zweite Kapazitätsanteile C_2 als Beitrag zur gesamten Nutzkapazität werden zwischen den Stäben 1f und 1g und der Platte 1 20 sowie zwischen den Stäben 2f bis 2h und der Platte 2 erzeugt. Ein weiterer Kapazitätsanteil C_3 als Beitrag zur Nutzkapazität wird durch die Platte 1 und die Platte 2 erzeugt.

In Fig. 3 ist eine Querschnittsdarstellung der Kapazitätsstruktur K gemäß Fig. 1 entlang der Linie AA aufgezeigt. Die Erzeugung der Beiträge der Kapazitätsanteile C_1 , C_2 und C_3 entsprechen den Ausführungen zu Fig. 2.

Eine weitere Schnittdarstellung entlang der Schnittlinie CC 30 in Fig. 1 ist in Fig. 4 dargestellt. In dieser Darstellung ist die symmetrische Anordnung der Stäbe 1a bis 1j und der Stäbe 2a bis 2j an den Platten 1 und 2 zu erkennen. Jeder Stab 1a bis 1j ist zumindest zu zwei Stäben 2a bis 2j benachbart (ebenso ist jeder Stab 2a bis 2j zu mindestens zwei Stäben 1a bis 1j benachbart), wodurch jeweils die hier nicht 35 dargestellten Kapazitätsanteile C_1 erzeugt werden.

Ein weiteres Ausführungsbeispiel ist in Fig. 5 dargestellt. Die Kapazitätsstruktur K ist ebenso wie im ersten Ausführungsbeispiel in einer nicht dargestellten Isolationsschicht oder einem aus mehreren Schichten bestehenden Isolations-
5 schichten-System ausgebildet, wobei die Isolationsschicht auf einem nicht dargestellten Halbleitersubstrat angeordnet ist. Die Metallisierungsebenen 3 und 4 sind jeweils aus mehreren parallel zueinander angeordneten Leitungen 31 bis 36 und 41 bis 46 gebildet, wobei die Leitungen 31 bis 36 jeweils dek-
10 kungsgleich zu den Leitungen 41 bis 46 angeordnet sind. Die Leitungen 31, 33, 35, 42, 44 und 46 sind mit einer nicht dar-
gestellten ersten Anschlussleitung elektrisch verbunden, wo-
durch diese Leitungen auf ein erstes Potenzial gelegt werden. Die Leitungen 32, 34, 36, 41, 43 und 45 sind mit einer nicht
15 dargestellten zweiten Anschlussleitung elektrisch verbunden, wodurch diese Leitungen auf ein zweites Potenzial gelegt wer-
den. An jeder der Leitungen 31 bis 36 und 41 bis 46 ist je-
weils ein homogener, stabförmig ausgebildeter, elektrisch
leitender Bereich 31a bis 36a und 41a bis 46a angeordnet und
20 unmittelbar mit der jeweiligen Leitung verbunden. Die Stäbe
31a bis 36a sind senkrecht in Richtung der Leitungen 41 bis
46 ausgerichtet. Ebenso sind die Stäbe 41a bis 46a senkrecht
in Richtung der Leitungen 31 bis 36 ausgerichtet.

Die Darstellung der Stäbe 31a bis 36a und 41a bis 46a ist
beispielhaft und kann in vielerlei Hinsicht erweitert werde.
Beispielsweise kann jede Leitung 31 bis 46 jeweils mehrere
weitere Stäbe aufweisen die beispielsweise in einem festen
Abstand zueinander auf jeder Leitung 31 bis 46 angeordnet
30 sind. Die Stäbe 31a bis 36a sind auf einer festen ersten Po-
sition in z-Richtung und die Stäbe 41a bis 46a sind auf einer
festen zweiten Position in z-Richtung angeordnet, wodurch die
Stäbe 31a bis 36a in z-Richtung versetzt zu den Stäben 41a
bis 46a angeordnet sind. Die Längen der Stäbe 31a bis 36a
35 können eine einheitliche Länge aufweisen oder aber auch un-
terschiedlich sein. Ebenso können die Stäbe 41a bis 46a ein-
heitliche Länge oder unterschiedlich lang ausgebildet sein.

Wesentlich ist auch für dieses Ausführungsbeispiel, dass die Summe der Länge eines Stabes 31a bis 36a plus die Länge eines Stabes 41a bis 46a größer ist als der Abstand d, den jeweils die Leitungen der Metallisierungsebenen 3 und 4 zueinander aufweisen. Abhängig von dem Potenzial auf das die Leitungen 31 bis 46 gelegt werden, weisen beispielweise die Leitungen 31, 33, 35, 42, 44 und 46 mit den zugehörigen Stäben 31a, 33a, 35a, 42a, 44a und 46a eine minimale parasitäre Kapazität gegenüber dem Halbleitersubstrat welches unter der Metallierungsebene 3 angeordnet ist auf. Die Potenziale können auch so gewählt werden, dass die Leitungen 32, 34, 36, 41, 43 und 45 mit den zugehörigen Stäben 32a bis 45 a eine minimale parasitäre Kapazität gegenüber dem Halbleitersubstrat aufweisen.

15

In Fig. 6 ist eine Querschnittsdarstellung des zweiten Ausführungsbeispiels der Kapazitätsstruktur gemäß Fig. 5 entlang der Schnittlinie EE gezeigt. Wie zu Fig. 5 bereits ausgeführt liegen benachbarte Leitungen der Metallisierungsebenen 3 und 4 auf unterschiedlichem Potenzial. Dadurch liegen auch benachbarte, als Vias ausgebildete Stäbe 31a bis 36a und 41a bis 46a, auf unterschiedlichem Potenzial, wodurch vier Kapazitätsanteile als Beiträge zur gesamten Nutzkapazität der Kapazitätsstruktur erzeugt werden. Erste Kapazitätsanteile C_1 werden durch die gegenüberliegenden Oberflächen der Seitenbereiche zwischen den Stäben 31a bis 36a erzeugt. Ebenso werden diese Anteile C_1 durch die gegenüberliegenden Oberflächen der Seitenbereiche zwischen den Stäben 41a bis 46a, wie in Fig. 7 dargestellt ist, welche eine Schnittdarstellung der Kapazitätsstruktur gemäß Fig. 5 entlang der Schnittlinie DD zeigt, erzeugt. Zweite Kapazitätsanteile C_2 werden zwischen den gegenüberliegenden Flächenbereichen der Stäbe 31a bis 36a und den Flächenbereichen der Leitungen 41 bis 46 gebildet (Fig. 6). Gleichfalls werden diese Anteile C_2 auch durch die gegenüberliegenden Flächenbereiche der Stäbe 41a bis 46a und den Flächenbereichen der Leitungen 31 bis 36 gebildet (Fig. 7). Dritte Kapazitätsanteile C_3 werden jeweils durch die in einer

Metallisierungsebene 3 und 4 benachbarten Flächenbereiche der Leitungen 31 bis 36 und 41 bis 46 gebildet (Fig. 6 und 7).

Wie in Fig. 8 anhand einer Schnittdarstellung der Kapazitätsstruktur K gemäß Fig. 5 entlang der Schnittlinie GG dargestellt ist, werden vierte Kapazitätsanteile C_4 durch die gegenüberliegenden Flächenbereiche der Stäbe 31a bis 36a der ersten Metallisierungsebene 3 zu den Stäben 41a bis 46a der zweiten Metallisierungsebene 4, beispielsweise der Stäbe 36a und 46a (Fig. 8) gebildet.

In Fig. 9 ist eine Schnittdarstellung entlang der Schnittlinie FF gemäß Fig. 5 aufgezeigt. Die symmetrische Anordnung der Stäbe 31a bis 46a ist zu erkennen. Wie in der Fig. 9 angedeutet, ist die Zahl der Stäbe in beide Richtungen erweiterbar und somit auch die Anzahl der Leitungen 31 bis 46 (Fig. 5 bis 8) nicht auf die im Ausführungsbeispiel dargestellte Anzahl beschränkt.

Ein weiteres Ausführungsbeispiel ist in Fig. 10 perspektivisch dargestellt. Die Kapazitätsstruktur K weist eine als zusammenhängende, vollständige Platte ausgebildete erste Metallisierungsebene 5 auf, die in einer nicht dargestellten Isolationsschicht oder einem Isolationsschichtensystem ausgebildet ist. Diese Isolationsschicht ist auf einem nicht dargestellten Halbleitersubstrat ausgebildet. Parallel zur ersten Metallisierungsebene 5 ist dazu beabstandet eine zweite Metallisierungsebene 6 in Form eines Gitters ausgebildet. Auf die erste Metallisierungsebene 5 sind stabförmig und homogen ausgebildete, elektrisch leitende Vias 5a bis 5f angeordnet, die zumindest teilweise in die Aussparungen der gitterförmigen zweiten Metallisierungsebene 6 hineinragen.

In Fig. 11 ist anhand eines Querschnitts entlang der Schnittlinie HH in Fig. 10 dargestellt welche Kapazitätsanteile C_1 und C_2 erzeugt werden und zur Nutzkapazität der Kapazitätsstruktur beitragen. Erste Kapazitätsteile C_1 werden durch

die gegenüberliegenden Flächenbereiche der Vias 5a bis 5c mit der Gitterstruktur der Metallisierungsebene 6 gebildet. Zwei-
te Kapazitätsanteile C_2 werden zwischen den gegenüberliegen-
den Flächenbereichen der gitterförmig ausgebildeten Metalli-
5 sierungsebene 6 und der Metallisierungsebene 5 gebildet. Die
gitterförmige Metallisierungsebene 6 weist eine minimale pa-
rasitäre Kapazität gegenüber dem unterhalb der ersten Metal-
lisierungsebene 5 ausgebildeten Halbleitersubstrat aus. Bei
dieser Ausführungsform ist es jedoch nicht wesentlich welche
10 der beiden Metallisierungsebenen 5 oder 6 einen minimalen pa-
rasitären Kapazitätsanteil liefert, sondern es ist wesent-
lich, dass die Summe der parasitären Kapazitätsanteile, die
durch die Metallisierungsebenen 5 und 6 gegenüber dem Halb-
leitersubstrat erzeugt werden, minimal ist. Dadurch kann die-
15 se Ausführungsform auch derart ausgeführt werden, dass die
gitterförmige Metallisierungsebene 6 die untere Elektrode der
Kapazitätsstruktur darstellt und somit dem Halbleitersubstrat
näher ist als die Metallisierungsebene 5.

20 In Fig. 12 ist eine Draufsicht auf die Kapazitätsstruktur K
gemäß Fig. 10 dargestellt. Die Vias 5a bis 5j ragen jeweils
in eine der Aussparungen der Metallisierungsebene 6 und wei-
sen nahezu gleichen Abstand zu den Rändern dieser Aussparun-
gen auf. Wie in Fig. 12 dargestellt, wird jeweils zwischen
jedem der vier gegenüberliegenden Flächenbereiche ein Kapazi-
tätsanteil C_1 gebildet. Es kann auch vorgesehen sein, dass
die Aussparungen des Gitters 6 rund oder oval und die Vias 5a
bis 5f mit rundem oder ovalem Querschnitt ausgebildet werden.

30 Ein Ausführungsbeispiel, welches eine Weiterführung des vor-
hergehenden Beispiels darstellt ist in Fig. 13 aufgezeigt.
Zusätzlich zu den Metallisierungsebenen 5 und 6 weist diese
Kapazitätsstruktur K eine dritte Metallisierungsebene 7 auf,
die ebenfalls gitterförmig ausgebildet ist und parallel und
35 deckungsgleich zur Metallisierungsebene 6 angeordnet ist. Die
Metallisierungsebenen 6 und 7 werden durch elektrische Ver-
bindungen 61 miteinander verbunden. Die stabförmigen elek-

trisch leitenden Bereiche 5a bis 5j ragen in diesem Ausführungsbeispiel durch die Aussparungen der gitterförmigen Metallisierungsebene 6 hindurch und erstrecken sich zumindest teilweise in die Aussparungen der gitterförmigen Metallisierungsebene 7.

In der Querschnittsdarstellung in Fig. 14, welche die Kapazitätsstruktur K gemäß Fig. 13 entlang der Schnittlinie II zeigt, ist zu erkennen, welche Kapazitätsanteile C_1 , C_2 und C_3 als Beiträge zur Nutzkapazität der Kapazitätsstruktur K geliefert werden. Erste Kapazitätsanteile C_1 werden zwischen den gegenüberliegenden Flächenbereichen der Stäbe 5a bis 5c und den gitterförmigen Metallisierungsebenen 6 und 7 gebildet. Zweite Kapazitätsanteile C_2 werden zwischen den gegenüberliegenden Flächenbereichen der Stäbe 5a bis 5c und den elektrischen Verbindungen 61 erzeugt. Des Weiteren werden dritte Kapazitätsanteile C_3 zwischen den gegenüberliegenden Flächenbereichen der Metallisierungsebene 5 und der gitterförmigen Metallisierungsebene 6 erzeugt.

20

Die homogenen Via-Stäbe in den Ausführungsbeispielen sind aus den bei den bekannten Prozessen verwendeten Materialien, bspw. Wolfram oder Kupfer, ausgebildet.

In allen Ausführungsbeispielen kann eine Kapazitätsstruktur K hergestellt werden, die mit relativ wenig Aufwand erzeugt werden kann und welche bei nahezu unverändertem Flächenbedarf der Kapazitätsstruktur auf der Chipfläche eine relativ große Kapazitätsoberfläche erzeugt, mit welcher das Verhältnis von Nutzkapazität zu parasitärer Kapazität verbessert wird. Insbesondere durch die homogenen - also frei von Zwischenmetallisierungsbereichen, welche beispielsweise durch Strukturierung der Metallisierungsebenen gebildet werden - Via-Stäbe, kann die Kapazitätsdichte der Kapazitätsstruktur erhöht werden.

Die Erfindung ist nicht auf die in den Ausführungsbeispielen dargestellten Kapazitätsstrukturen K beschränkt. Die Kapazitätsstruktur K kann in vielfältiger Weise ausgebildet sein. So kann beispielsweise eine Kapazitätsstruktur K eine erste 5 Metallisierungsebene entsprechend der Metallisierungsebene 6 (Fig. 10 und 13) und eine zweite Metallisierungsebene entsprechend der Metallisierungsebene 3 (Fig. 5) aufweisen, auf denen entsprechend ausgebildete elektrisch leitenden Bereichen angeordnet sind. Es kann auch vorgesehen sein, dass eine 10 Kapazitätsstruktur zwei gitterförmige Metallisierungsebenen entsprechend der Metallisierungsebene 6 (Fig. 10 und 13) aufweist, die derart versetzt zueinander angeordnet sind, dass die Kreuzungspunkte der Gitterstruktur der einen Metallisierungsebene vertikal unter den Aussparungen der zweiten gitterförmigen Metallisierungsebene liegen. Beide gitterförmigen 15 Metallisierungsebenen weisen beispielsweise stabförmig ausgebildete, elektrisch leitende Bereiche auf, welche jeweils an den Kreuzungspunkten der Gitterstrukturen der Metallisierungsebenen angeordnet sind und sich in die Aussparungen der 20 gegenüberliegenden gitterförmigen Metallisierungsebene hinein erstrecken.

Patentansprüche

1. Halbleiterbauelement

- mit einem Halbleitersubstrat und einer auf dem Halbleitersubstrat ausgebildeten Isolationsschicht und
- mit einer Kapazitätsstruktur, welche in der Isolationsschicht ausgebildet ist, wobei die Kapazitätsstruktur mindestens zwei Metallisierungsebenen (1 bis 7) zur Erzeugung eines ersten Teils einer Kapazitätsoberfläche aufweist, welche sich im wesentlichen parallel zur Substratoberfläche erstrecken und jeweils mit einer von zwei Anschlussleitungen elektrisch verbunden sind,

d a d u r c h g e k e n n z e i c h n e t, dass

- die Kapazitätsstruktur mindestens einen elektrisch leitenden Bereich (1a bis 1j; 2a bis 2j; 31a bis 36a; 41a bis 46a; 5a bis 5f) aufweist, welcher zur Erzeugung eines zweiten Teils der Kapazitätsoberfläche zwischen den Metallisierungsebenen (1 bis 7) in der Isolationsschicht ausgebildet ist, und
- der elektrisch leitende Bereich (1a bis 1j; 2a bis 2j; 31a bis 36a; 41a bis 46a; 5a bis 5f) nur mit einer der Metallisierungsebenen (1 bis 7) elektrisch verbunden ist.

2. Halbleiterbauelement nach Anspruch 1,

d a d u r c h g e k e n n z e i c h n e t, dass
der elektrisch leitende Bereich (1a bis 1j; 2a bis 2j; 31a bis 36a; 41a bis 46a; 5a bis 5f) als homogene, zusammenhängende Erhebung, insbesondere als Via-Struktur, ausgebildet ist.

30

3. Halbleiterbauelement nach Anspruch 1 oder 2,

d a d u r c h g e k e n n z e i c h n e t, dass
die elektrisch leitenden Bereiche (1a bis 1j; 2a bis 2j; 31a bis 36a; 41a bis 46a; 5a bis 5f) keine derartigen metallischen Gebiete aufweist, welche durch eine Strukturierung einer der Metallisierungsebenen (1 bis 7) ausgebildet werden.

4. Halbleiterbauelement nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet, dass

5 der elektrisch leitende Bereich (1a bis 1j; 2a bis 2j; 31a bis 36a; 41a bis 46a; 5a bis 5f) im wesentlichen senkrecht zu den Metallisierungsebenen (1 bis 7) angeordnet ist.

5. Halbleiterbauelement nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet, dass

10 jede der beiden Metallisierungsebenen (1, 2) als zusammenhängende Platte ausgebildet ist und mit zumindest jeweils einem elektrisch leitenden Bereich (1a bis 1j; 2a bis 2j) verbunden ist.

15

6. Halbleiterbauelement nach Anspruch 5,

dadurch gekennzeichnet, dass die erste Metallisierungsebene (1) mit mehreren stabförmig ausgebildeten ersten elektrisch leitenden Bereichen (1a bis 1j) und die zweite Metallisierungsebene (2) mit mehreren stabförmig ausgebildeten zweiten elektrisch leitenden Bereichen (2a bis 2j) verbunden ist.

20

7. Halbleiterbauelement nach Anspruch 6,

dadurch gekennzeichnet, dass die ersten stabförmigen, elektrisch leitenden Bereiche (1a bis 1j) mit einem festen Abstand (a) zueinander an der ersten Metallisierungsebene (1) angeordnet sind und sich in Richtung zur zweiten Metallisierungsebene (2) erstrecken und die zweiten stabförmigen, elektrisch leitenden Bereiche (2a bis 2j) mit einem festen Abstand (a) derart zueinander an der zweiten Metallisierungsebene (2) angeordnet sind, dass sie sich jeweils zwischen den ersten stabförmigen Bereichen (1a bis 1j) in Richtung zur ersten Metallisierungsebene (1) hin erstrecken.

35

8. Halbleiterbauelement nach Anspruch 7,

d a d u r c h g e k e n n z e i c h n e t, dass die ersten stabförmigen Bereiche (1a bis 1j) eine erste Länge L_1 aufweisen, die zweiten stabförmigen Bereiche (2a bis 2j) eine zweite Länge L_2 , aufweisen, wobei die Länge L_2 größer,

5 kleiner oder gleich der Länge L_1 ist, und die Summe der Längen L_1 und L_2 eines ersten und eines zweiten stabförmigen Bereichs (1a bis 1j; 2a bis 2j) größer als ein Abstand (b) zwischen den beiden Metallisierungsebenen (1, 2) ist.

10 9. Halbleiterbauelement nach einem der Ansprüche 1 bis 4, d a d u r c h g e k e n n z e i c h n e t, dass beide Metallisierungsebenen (3, 4) jeweils aus zumindest zwei parallel zueinander angeordneten elektrischen Leitungen (31 bis 36; 41 bis 46) aufgebaut sind und die elektrischen Leitungen (31 bis 36) der ersten Metallisierungsebene (3) dekungsgleich zu den elektrischen Leitungen (41 bis 46) der zweiten Metallisierungsebene (4) angeordnet sind.

15 10. Halbleiterbauelement nach Anspruch 9, 20 d a d u r c h g e k e n n z e i c h n e t, dass auf jeder der ersten und zweiten elektrischen Leitungen (31 bis 36; 41 bis 46) jeweils zumindest ein elektrisch leitender Bereich (31a bis 36a; 41a bis 46a) angeordnet ist.

30 11. Halbleiterbauelement nach Anspruch 10, d a d u r c h g e k e n n z e i c h n e t, dass mehrere stabförmig ausgebildete erste elektrisch leitende Bereiche (31a bis 36a) im festen Abstand (c) voneinander an jeder der ersten elektrischen Leitungen (31 bis 36) angeordnet sind und sich in Richtung der zweiten elektrischen Leitungen (41 bis 46) erstrecken und mehrere stabförmig ausgebildete zweite elektrisch leitende Bereiche (41a bis 46a) ebenfalls im festen Abstand (c) aber versetzt zu den ersten elektrisch leitenden Bereichen (31a bis 36a) an jeder der zweiten elektrischen Leitungen (41 bis 46) angeordnet sind und sich zwischen den ersten stabförmigen elektrisch leitenden Bereichen

(31a bis 36a) in Richtung der ersten elektrischen Leitungen (31 bis 36) erstrecken.

12. Halbleiterbauelement nach Anspruch 11,
5 dadurch gekennzeichnet, dass die stabförmigen ersten Bereiche (31a bis 36a) eine erste Länge L_1 aufweisen, die stabförmigen zweiten Bereiche (41a bis 46a) eine zweite Länge L_2 , aufweisen, wobei die Länge L_2 größer, kleiner oder gleich der Länge L_1 ist, und die Summe
10 der Längen L_1 und L_2 eines ersten und eines zweiten stabförmigen Bereichs (31a bis 36a; 41a bis 46a) größer als der Abstand (d) zwischen den elektrischen Leitungen (31 bis 36; 41 bis 46) ist.
15. 13. Halbleiterbauelement nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, dass eine der beiden Metallisierungsebenen (5) als zusammenhängende Platte und die zweite Metallisierungsebene (6) in Form eines Gitters ausgebildet ist.
20
14. Halbleiterbauelement nach Anspruch 13, dadurch gekennzeichnet, dass auf der als zusammenhängende Platte ausgebildeten Metallisierungsebene (5) zumindest ein stabförmig ausgebildeter, elektrisch leitender Bereich (5a bis 5f) angeordnet ist, der sich in Richtung zur zweiten gitterförmigen Metallisierungsebene (6) erstreckt und zumindest teilweise in eine Aussparung der gitterförmigen Metallisierungsebene (6) hineinragt.
30. 15. Halbleiterbauelement nach einem der Ansprüche 13 oder 14, dadurch gekennzeichnet, dass eine gitterförmige dritte Metallisierungsebene (7) parallel und beabstandet zur zweiten Metallisierungsebene (6) auf dieser angeordnet ist und die zweite und dritte Metallisierungsebene (6, 7) mittels elektrischer Verbindungen (61) miteinander elektrisch verbunden sind.
35

16. Halbleiterbauelement nach Anspruch 15,
d a d u r c h g e k e n n z e i c h n e t, dass
die stabförmigen, elektrisch leitenden Bereiche (5a bis 5f)
derart ausgebildet sind, dass sie durch die Aussparungen der
5 zweiten Metallisierungsebene (6) hindurchragen und sich zu-
mindest teilweise in die Aussparungen der dritten Metallisie-
rungsebene (7) hinein erstrecken.

17. Verfahren zum Herstellen eines Halbleiterbauelements, bei
10 dem auf einem Halbleitersubstrat eine Isolationsschicht abge-
schieden wird und in der Isolationsschicht eine Kapazi-
tätsstruktur (K) erzeugt wird, wobei die Kapazitätsstruktur
(K) zumindest zwei Metallisierungsebenen (1 bis 7) aufweist,
die im wesentlichen parallel zur Substratoberfläche ausgebil-
15 det werden,

d a d u r c h g e k e n n z e i c h n e t, dass
ein elektrisch leitender Bereich (1a bis 1j; 2a bis 2j; 31a
bis 36a; 41a bis 46a; 5a bis 5f) in der Isolationsschicht
zwischen den Metallisierungsebenen (1 bis 7) ausgebildet wird
20 und der elektrisch leitende Bereich (1a bis 1j; 2a bis 2j;
31a bis 36a; 41a bis 46a; 5a bis 5f) nur mit einer der Metal-
lisierungsebenen (1 bis 7) elektrisch verbunden wird.

18. Verfahren nach Anspruch 17,
d a d u r c h g e k e n n z e i c h n e t, dass
der elektrisch leitende Bereich (1a bis 1j; 2a bis 2j; 31a
bis 36a; 41a bis 46a; 5a bis 5f) als homogene zusammenhängen-
de Erhebung ausgebildet wird, wobei der elektrische Bereich
(1a bis 1j; 2a bis 2j; 31a bis 36a; 41a bis 46a; 5a bis 5f)
30 ohne ein derartiges metallisches Gebiet ausgebildet wird,
welches durch eine Strukturierung einer Metallisierungsebene
(1 bis 7) erzeugbar ist

19. Verfahren nach einem der Ansprüche 17 oder 18,
35 d a d u r c h g e k e n n z e i c h n e t, dass

der elektrisch leitende Bereich (1a bis 1j; 2a bis 2j; 31a bis 36a; 41a bis 46a; 5a bis 5f) in der Isolationsschicht als Via-Struktur ausgebildet wird.

5 20. Verfahren nach einem der Ansprüche 17 bis 19, d a d u r c h g e k e n n z e i c h n e t, dass der elektrisch leitenden Bereich (1a bis 1j; 2a bis 2j; 31a bis 36a; 41a bis 46a; 5a bis 5f) im wesentlichen senkrecht zu den Metallisierungsebenen (1 bis 7) ausgebildet wird.

Zusammenfassung

Halbleiterbauelement mit integrierter Kapazitätsstruktur und

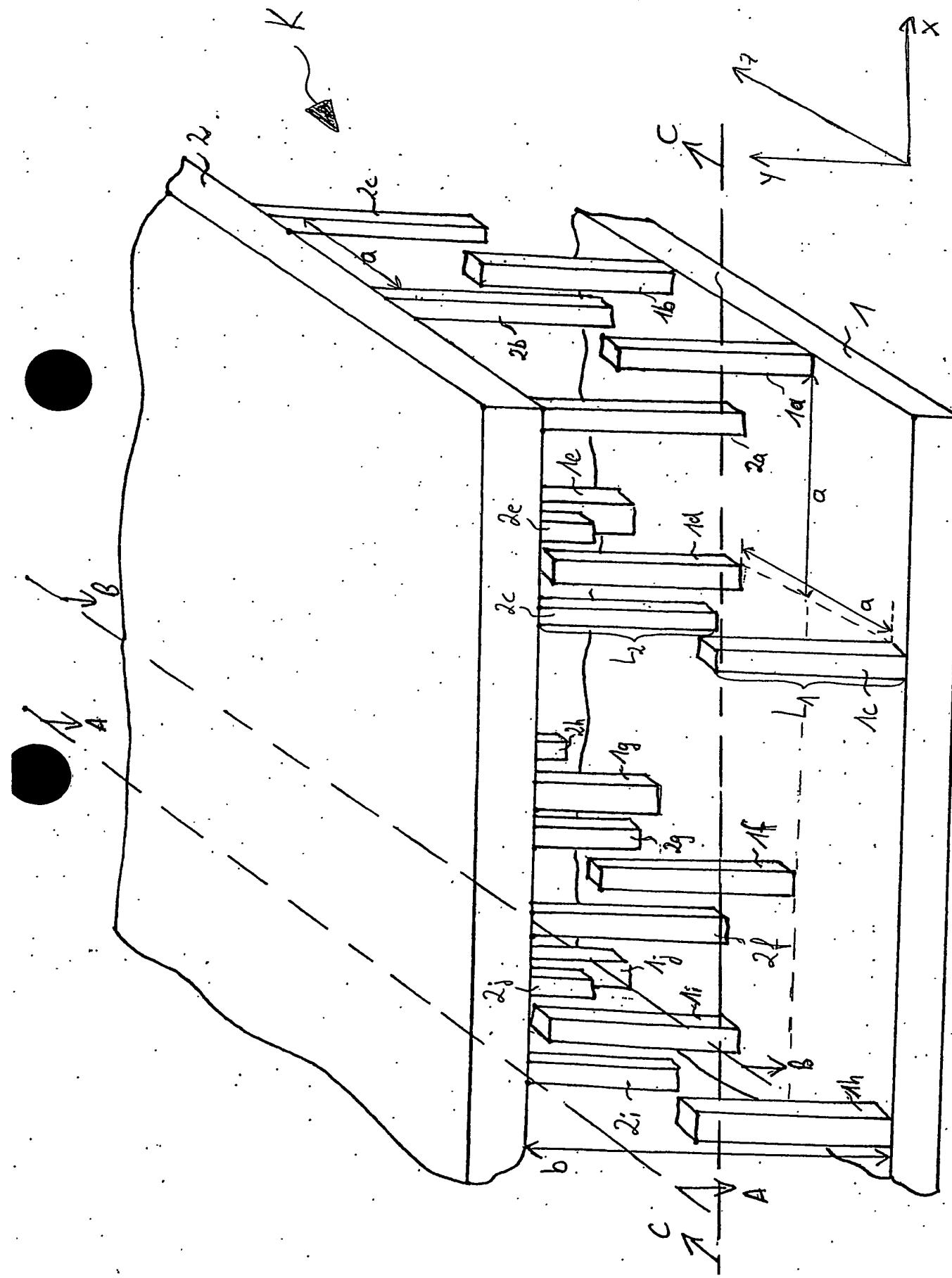
5 Verfahren zu dessen Herstellung

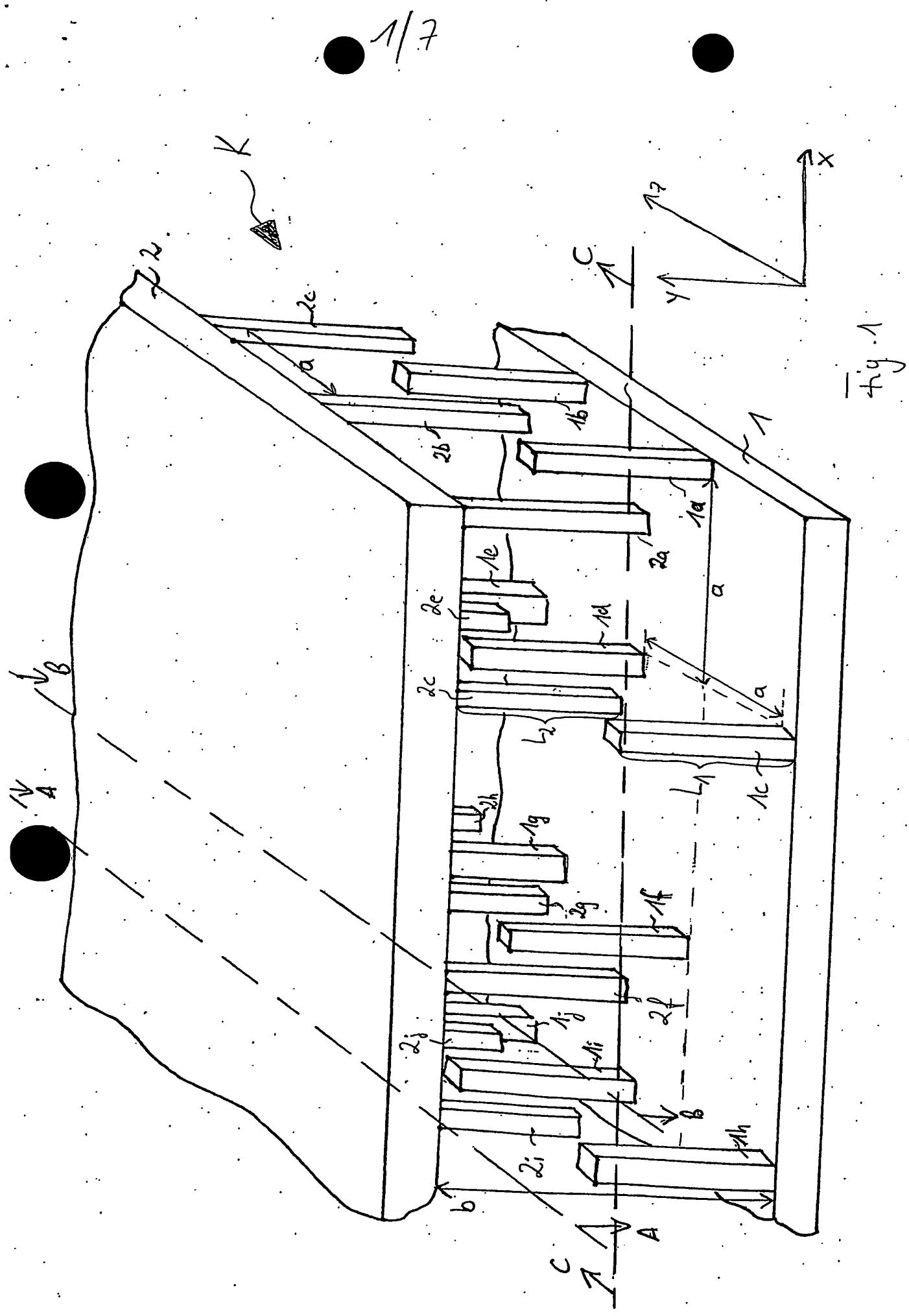
Ein Halbleiterbauelement weist eine auf einem Halbleiter-
substrat ausgebildete Isolationsschicht auf, in der eine Ka-
pazitätsstruktur (K) ausgebildet ist. Die Kapazitätsstruktur

10 (K) weist zumindest zwei parallel zueinander angeordnete Me-
tallisierungsebenen (1 bis 7) auf, die jeweils an eine elek-
trische Anschlussleitung angeschlossen sind. Zwischen den Me-
tallisierungsebenen (1 bis 7) ist mindestens ein elektrisch
leitender Bereich (1a bis 1j; 2a bis 2j; 31a bis 36 a; 41a
15 bis 46a; 5a bis 5f) zur Erzeugung einer Kapazitätsoberfläche
angeordnet, wobei der elektrisch leitende Bereich (1a bis 1j;
2a bis 2j; 31a bis 36 a; 41a bis 46a; 5a bis 5f) nur mit ei-
ner der Metallisierungsebenen (1 bis 7) elektrisch verbunden
ist.

20

(Fig. 1)





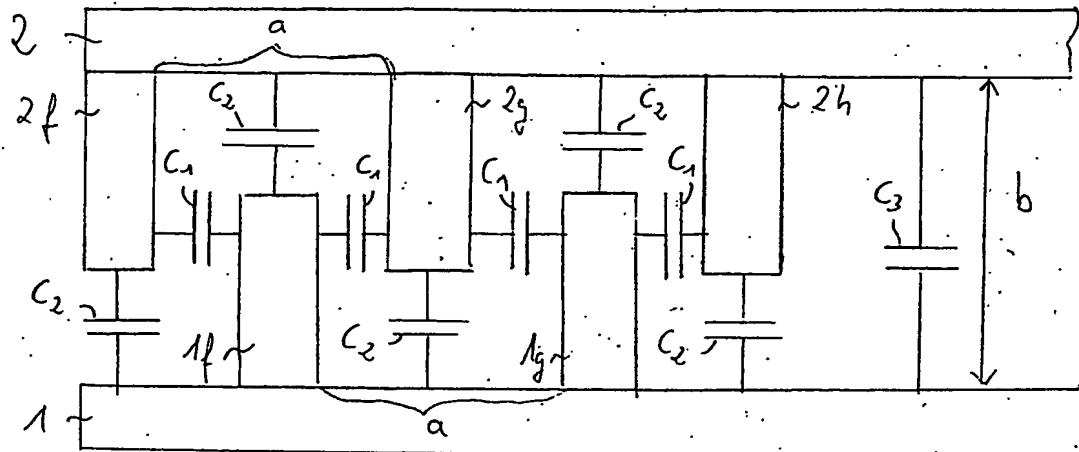


Fig. 2

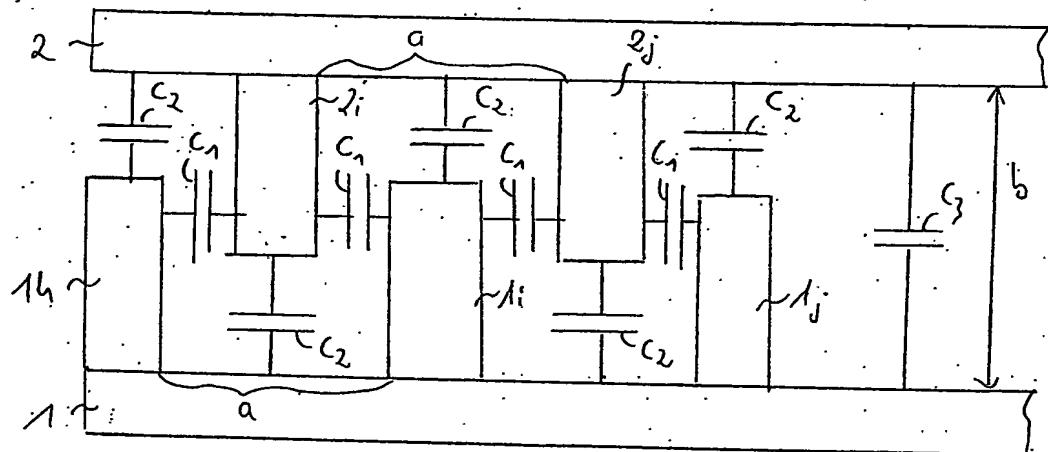
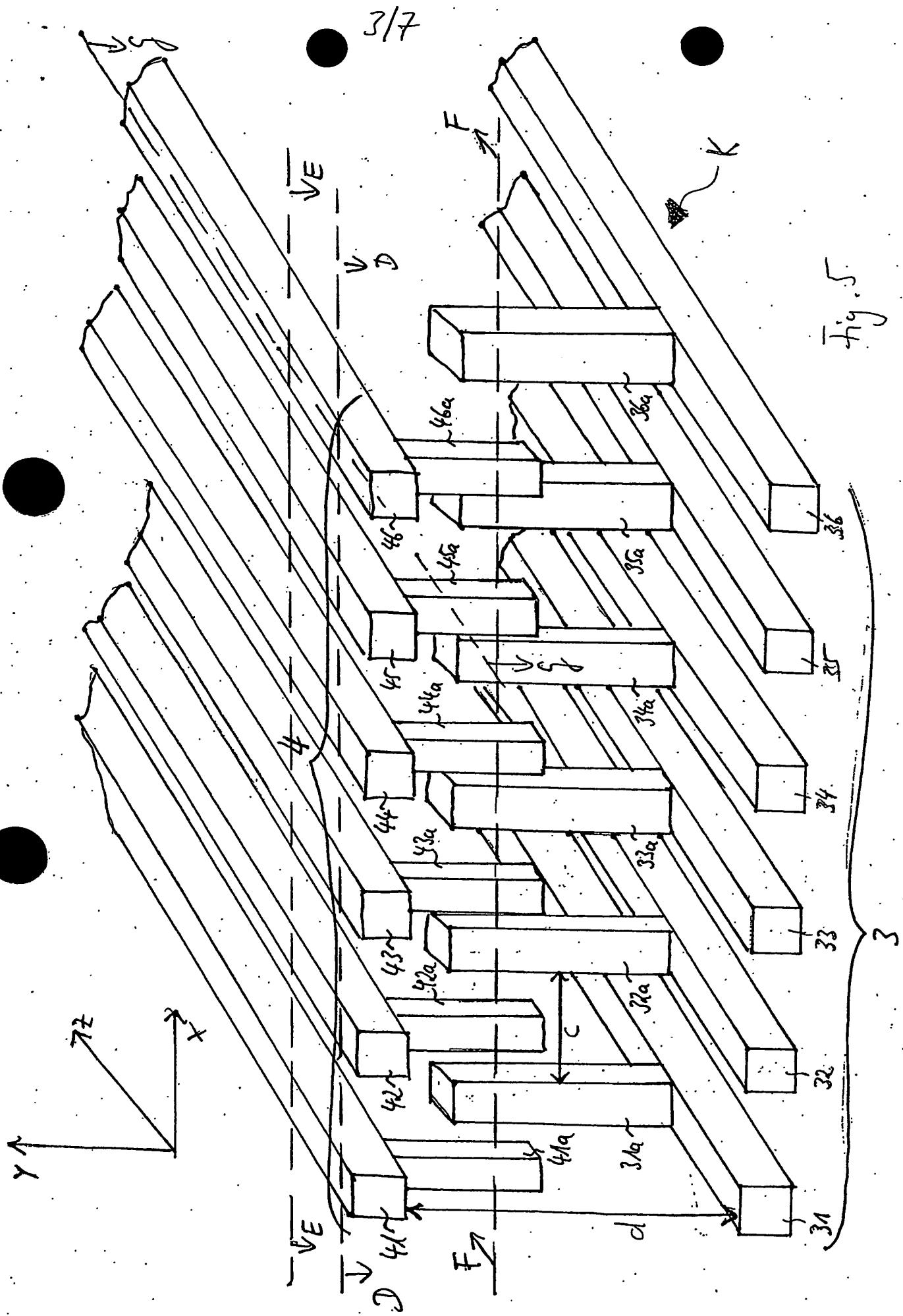


Fig. 3

<input type="checkbox"/> +1j	<input type="checkbox"/> 2h	<input type="checkbox"/> 1e	<input type="checkbox"/> 2c
<input type="checkbox"/> +2g	<input type="checkbox"/> +1g	<input type="checkbox"/> +2e	<input type="checkbox"/> +1b
<input type="checkbox"/> +1i	<input type="checkbox"/> +2g	<input type="checkbox"/> +1d	<input type="checkbox"/> 25
<input type="checkbox"/> +2i	<input type="checkbox"/> +1f	<input type="checkbox"/> +2d	<input type="checkbox"/> +1a
<input type="checkbox"/> +1h	<input type="checkbox"/> +2f	<input type="checkbox"/> +1c	<input type="checkbox"/> 2a

Fig. 4



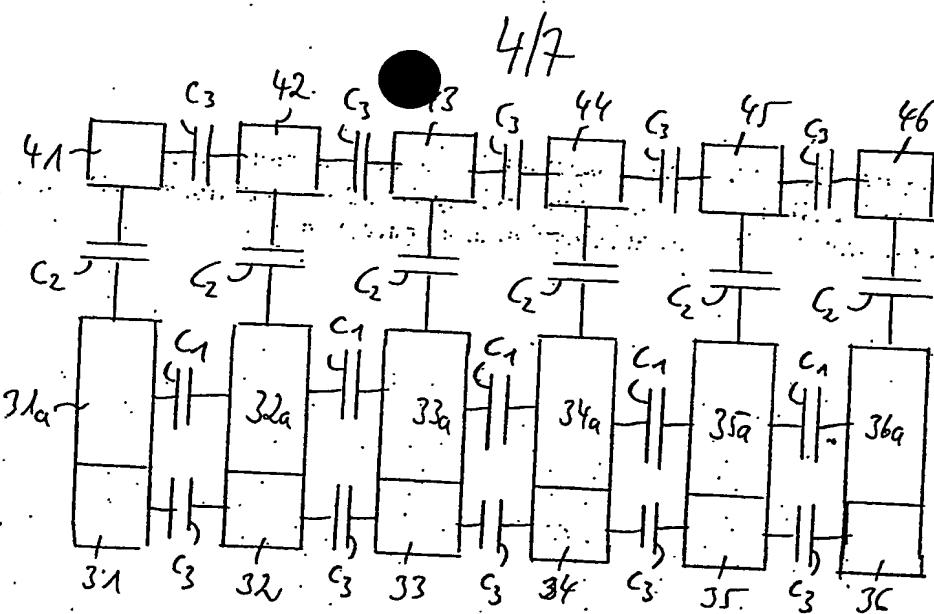


Fig. 6

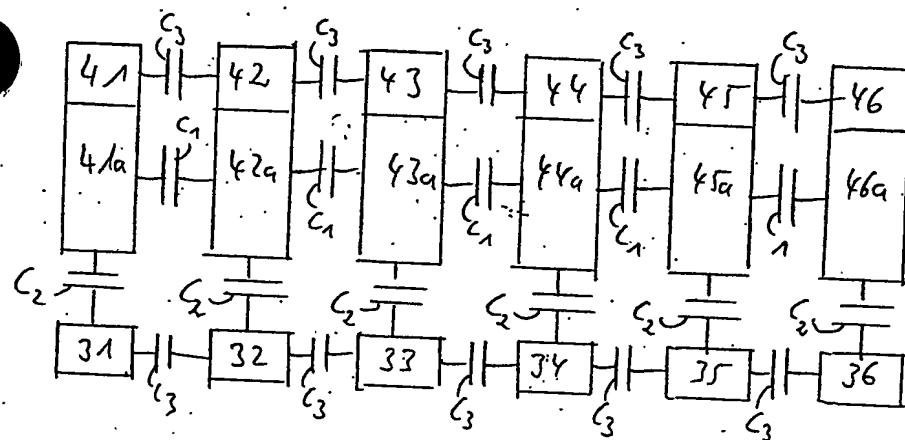


Fig. 7

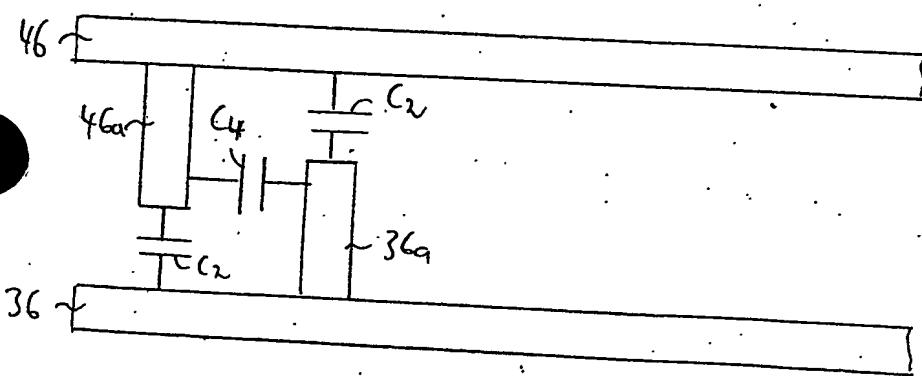


Fig. 8

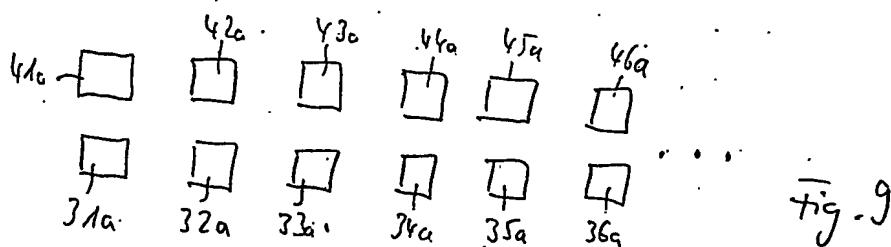


Fig. 9

5/7

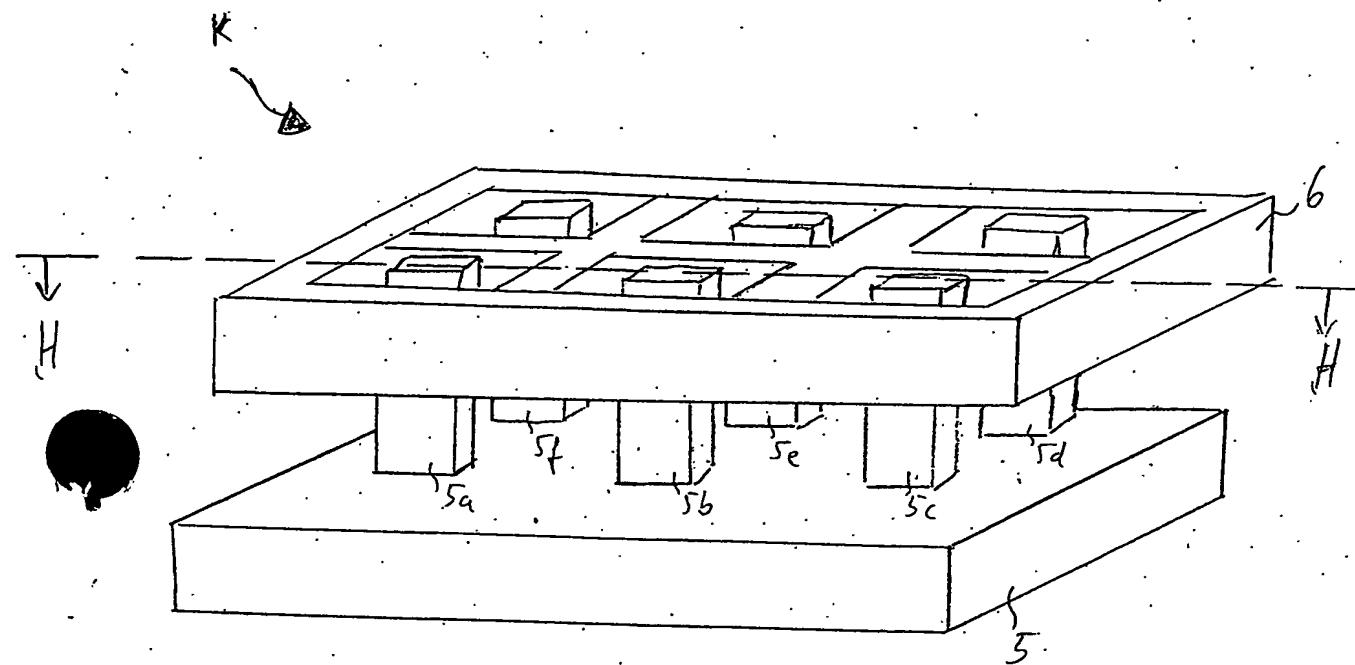


Fig. 10

6/7

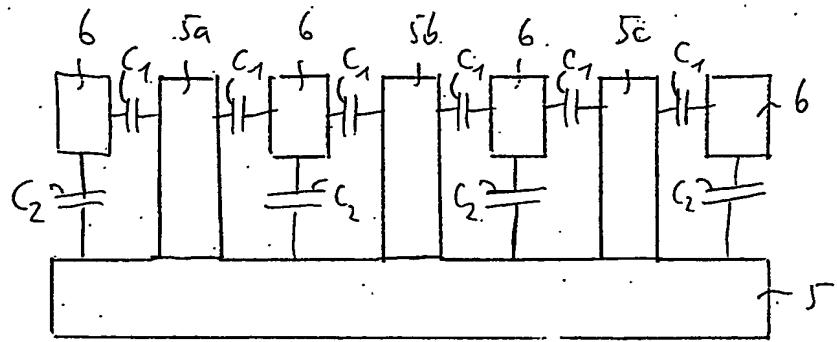


fig. 11

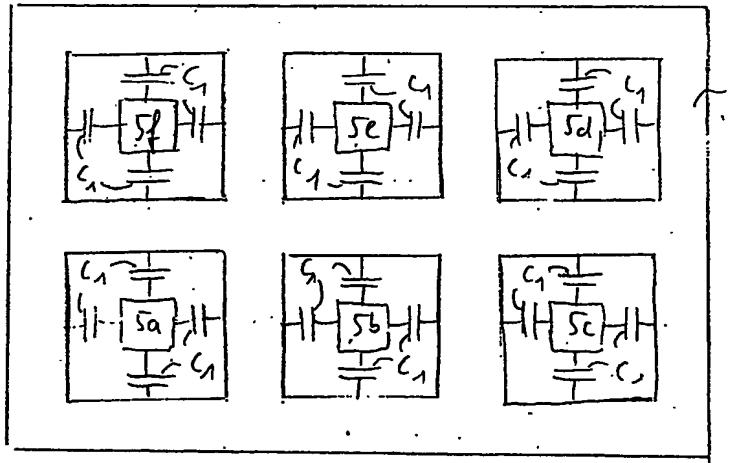


fig. 12

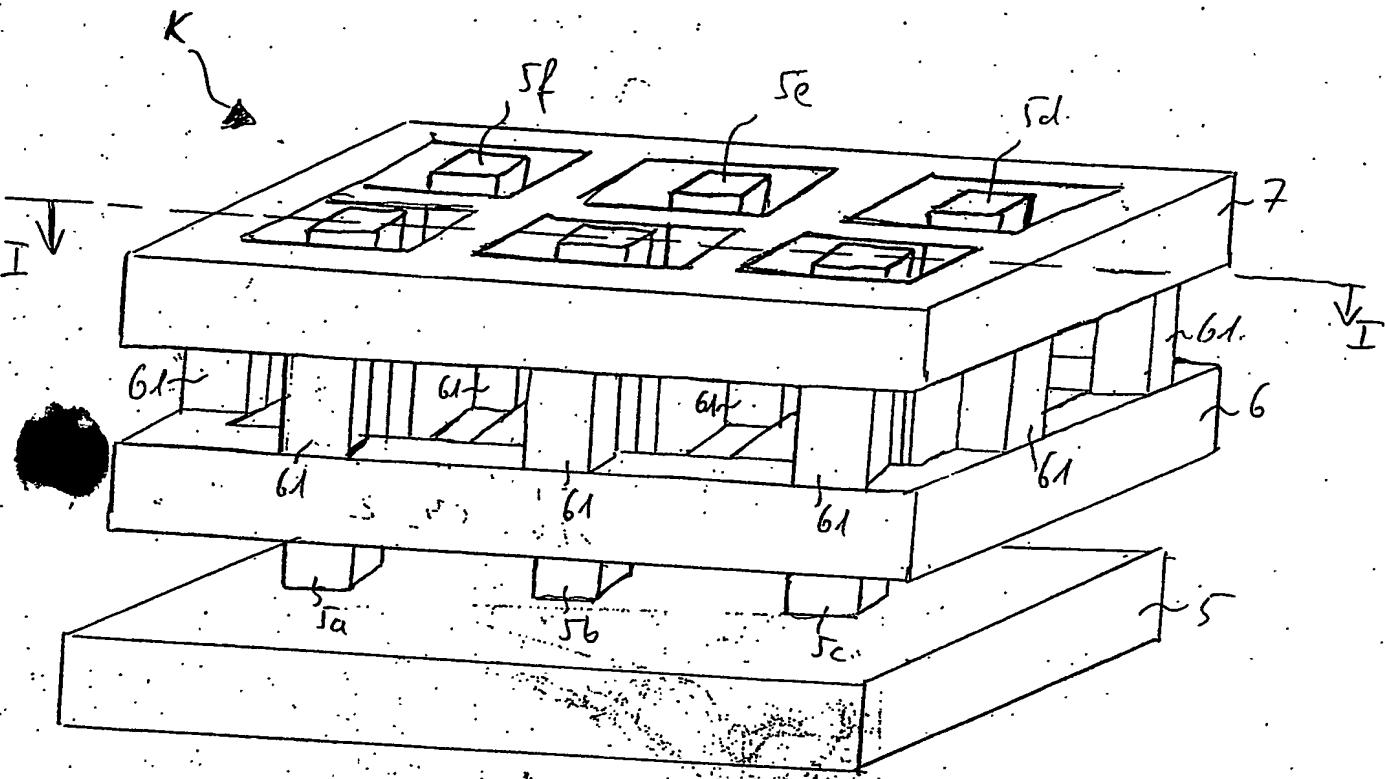


Fig. 13

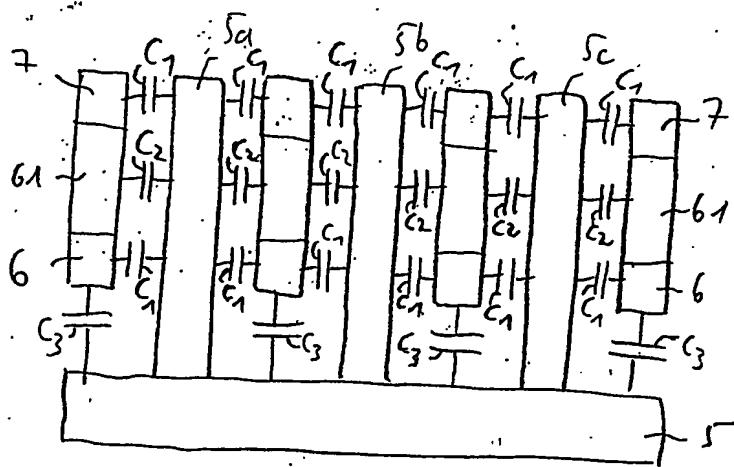


Fig. 14

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.